

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:

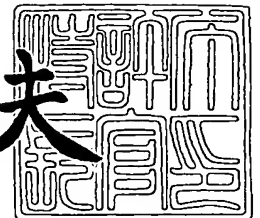
出願番号 特願2003-095963
Application Number:
[ST. 10/C]: [JP 2003-095963]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年12月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3101079

【書類名】 特許願

【整理番号】 J0096883

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 城 宏明

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画素回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 走査線とデータ線との交差部に配置される画素回路であって

、
前記走査線が選択されたとき、前記データ線に流れる電流、または前記データ線の電圧に応じた電荷を蓄積する容量素子と、

前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第 1 の端子および第 2 の端子の間に流す駆動トランジスタと、

その一端が前記第 1 の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、

前記被駆動素子の一端における電圧を検出する検出素子と、

前記被駆動素子に流れる電流を、前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路と

を具備することを特徴とする画素回路。

【請求項 2】 前記補正回路は、前記検出素子による検出電圧に応じた電流を生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算することを特徴とする請求項 1 に記載の画素回路。

【請求項 3】 前記検出素子は、前記被駆動素子の一端にそのゲートが接続されて、そのゲート電圧に応じて導通状態が設定され、電流を、その第 3 の端子および第 4 の端子の間に流す検出トランジスタであり、

前記補正回路は、前記検出トランジスタの第 1 の端子および第 2 の端子の間に流れる電流に対応する電流を生成する

ことを特徴とする請求項 2 に記載の画素回路。

【請求項 4】 前記補正回路は、前記第 3 の端子および前記第 4 の端子の間に流れる電流のミラー電流を生成するカレントミラー回路である

ことを特徴とする請求項 3 に記載の画素回路。

【請求項 5】 前記補正回路は、前記検出素子によって検出された電圧を反転増幅して、前記被駆動素子に印加する

ことを特徴とする請求項 2 に記載の画素回路。

【請求項 6】 その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されて、前記走査線の非選択時に前記駆動トランジスタと前記被駆動素子との間の導通状態を制御するスイッチを備え、

前記検出素子は、前記スイッチの一端における電圧を検出し、

前記補正回路は、該生成電流を前記スイッチの一端に流す

ことを特徴とする請求項 2 に記載の画素回路。

【請求項 7】 前記走査線が選択されたとき、オンするスイッチングトランジスタと、

前記走査線が選択されたとき、前記駆動トランジスタをダイオード接続させる補償トランジスタと

を備え、

前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線に流れる電流に応じた電荷を蓄積する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 8】 前記走査線が選択されたとき、オンするスイッチングトランジスタを備え、

前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線の電圧に応じた電荷を蓄積する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 9】 前記補正回路は、前記検出素子による検出電圧の絶対値が大きければ、前記駆動トランジスタの第 1 の端子または第 2 の端子の他方と前記被駆動素子の他端との間の電圧を絶対値でみて大きくなる方向に操作する

ことを特徴とする請求項 1 に記載の画素回路。

【請求項 10】 そのゲートが容量素子の一端に接続され、前記容量素子に蓄積された電荷に応じて、その第 1 の端子および第 2 の端子の導通状態が設定される駆動トランジスタと、

その一端が前記第 1 の端子に電氣的に接続された被駆動素子と、

前記被駆動素子の一端における電圧を検出する検出素子と、

前記検出素子によって検出された電圧を示す信号を入力する入力端と、前記第 1 の端子に電氣的に接続された出力端とを有し、前記入力端に入力された信号で示される電圧の絶対値に応じた電流を前記出力端に供給する補正回路と

を具備することを特徴とする画素回路。

【請求項 11】 前記検出素子は、そのゲートが前記被駆動素子の一端に接続され、そのゲート電圧に応じて、その第 3 の端子および第 4 の端子の導通状態が設定される検出トランジスタである

ことを特徴とする請求項 10 に記載の画素回路。

【請求項 12】 前記補正回路は、

その第 5 の端子とゲートとが接続されるとともに、その第 6 の端子が電源電圧の給電線に接続される一方、前記第 5 の端子が前記第 3 の端子に接続された第 1 トランジスタと、

そのゲートが、前記第 1 トランジスタのゲートおよび前記第 5 の端子に接続されるとともに、その第 7 の端子が前記第 1 の端子に電氣的に接続される一方、その第 8 の端子が前記給電線に接続された第 2 トランジスタと

を有することを特徴とする請求項 11 に記載の画素回路。

【請求項 13】 前記補正回路は、

そのゲートに基準電圧が印加されるとともに、その第 9 の端子が前記第 3 の端子に接続される一方、その第 10 の端子が電源電圧の給電線に接続された第 3 トランジスタと、

そのゲートが前記第 9 の端子に接続されるとともに、その第 11 の端子が前記第 1 の端子に電氣的に接続される一方、その第 12 の端子が前記給電線に接続された第 4 トランジスタと

を有することを特徴とする請求項 11 に記載の画素回路。

【請求項 14】 その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されたスイッチを備え、

前記検出素子は、前記スイッチの一端における電圧を検出する

ことを特徴とする請求項 10 に記載の画素回路。

【請求項 15】 前記駆動トランジスタのゲートおよび前記第 1 の端子の間

を短絡させる補償トランジスタを備え、

前記容量素子は、前記補償トランジスタが前記駆動トランジスタのゲートおよび前記第1の端子を短絡させたときに、前記第1の端子の電圧に応じた電荷を蓄積する

ことを特徴とする請求項10に記載の画素回路。

【請求項16】 複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数のデータ線との交差部に対応して配置された、請求項1乃至15のいずれかに記載の複数の画素回路と、を備えたことを特徴とする電気光学装置。

【請求項17】 複数の走査線と複数のデータ線との交差部にそれぞれ配置されるとともに、各々が被駆動素子を有する画素回路と、

前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路によって走査線が選択されたとき、当該走査線に対応する画素回路の被駆動素子に流すべき電流、または、該電流に応じた電圧を、データ線を介して供給するデータ線駆動回路とを備え、

前記画素回路は、

対応する走査線が選択されたとき、対応するデータ線に流れる電流または電圧に応じた電荷を蓄積する容量素子と、

前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第1の端子および第2の端子の間に流す駆動トランジスタと、

その一端が前記第1の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、

前記被駆動素子の一端における電圧を検出する検出素子と、

前記被駆動素子に流れる電流を、前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路と

を具備することを特徴とする電気光学装置。

【請求項18】 請求項16または請求項17に記載の電気光学装置を有する

ことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、有機EL (Electronic Luminescence) 素子などのような電流型の被駆動素子の経年変化等に対処した画素回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

近年、従来のLCD (Liquid Crystal Display) 素子に代わる次世代の発光デバイスとして、有機EL素子が注目されている。有機EL素子は、電流に比例して自ら発光する自発光素子であるために、視野角依存性が少なく、また、バックライトが不要となる結果、低消費電力であるなど、表示パネルとして優れた特性を有している。

このような有機EL素子の駆動には、LCD素子と同様に、薄膜トランジスタ (Thin Film Transistor、以下「TFT」と省略する) などのような能動素子を用いるアクティブマトリクス方式と、能動素子を用いないパッシブマトリクス方式とに大別することができるが、駆動電圧が低くて済む等の理由により、後者に係るアクティブマトリクス方式が優れていると考えられている。

ここで、有機EL素子は、LCD素子のような電圧保持性を有しないので、流れる電流が途絶えると、発光状態が維持できなくなる。このため、容量素子に電圧を一旦蓄積するとともに、蓄積電圧がゲートに印加された駆動トランジスタによって、有機EL素子に電流を流し続ける構成が一般的である (例えば、特許文献1参照)。

【0003】

【特許文献1】

国際公開第WO98/36406号パンフレット

【0004】

【発明が解決しようとする課題】

しかしながら、有機EL素子は、経年変化などによって劣化する傾向がある。詳細には、有機EL素子に一定電流を流すために必要な電圧は、時間経過とともに

に上昇する傾向がある。そして、このような電圧上昇に起因して、有機EL素子に流れる電流が目標値から低下して、所定の輝度で発光することができず、したがって、表示画像の品質を低下させる、という問題があった。なお、環境温度の変化によっても、有機EL素子に一定電流を流すために必要な電圧が変化する。

本発明は、このような事情に鑑みてなされたもので、その目的とするところは、有機EL素子のような電流型の被駆動素子に一定電流を流すために必要な電圧が劣化や環境温度などにより変化しても、表示画像の品質低下を防止することが可能な画素回路、電気光学装置および電子機器をそれぞれ提供することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明に係る画素回路は、走査線とデータ線との交差部に配置される画素回路であって、前記走査線が選択されたとき、前記データ線に流れる電流、または前記データ線の電圧に応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第1の端子および第2の端子の間に流す駆動トランジスタと、その一端が前記第1の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記被駆動素子に流れる電流を、前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路とを具備することを特徴とする。この構成によれば、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

【0006】

この構成において、前記補正回路は、前記検出素子による検出電圧に応じた電流を生成するとともに、該生成電流を前記駆動トランジスタが流す電流に加算するとしても良い。また、このように電流を加算する場合、前記検出素子は、前記被駆動素子の一端にそのゲートが接続されて、そのゲート電圧に応じて導通状態が設定され、電流を、その第3の端子および第4の端子の間に流す検出トランジスタであり、前記補正回路は、前記検出トランジスタの第1の端子および第2の

端子の間に流れる電流に対応する電流を生成するとしても良い。この際、前記補正回路は、前記第3の端子および前記第4の端子の間に流れる電流のミラー電流を生成するカレントミラー回路としても良い。なお、ここでいうミラー電流とは、第3の端子および第4の端子に流れる電流と同値のほか、該電流と等比の電流も含む。

電流を加算する場合、前記補正回路は、前記検出素子によって検出された電圧を反転増幅して、前記被駆動素子に印加するとしても良い。また、電流を加算する場合、その一端が前記第1の端子に接続され、その他端が前記被駆動素子の一端に接続されて、前記走査線の非選択時に前記駆動トランジスタと前記被駆動素子との間の導通状態を制御するスイッチを備え、前記検出素子は、前記スイッチの一端における電圧を検出し、前記補正回路は、該生成電流を前記スイッチの一端に流すようにしても良い。

【0007】

また、上記構成において、前記走査線が選択されたとき、オンするスイッチングトランジスタと、前記走査線が選択されたとき、前記駆動トランジスタをダイオード接続させる補償トランジスタとを備え、前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線に流れる電流に応じた電荷を蓄積するようにしても良い。また、前記走査線が選択されたとき、オンするスイッチングトランジスタを備え、前記容量素子は、前記スイッチングトランジスタがオンしたとき、前記データ線の電圧に応じた電荷を蓄積するようにしても良い。

【0008】

本発明においては、電流を加算する構成のほか、電圧操作によっても同様な効果が得られる。例えば、上記構成において、前記補正回路は、前記検出素子による検出電圧の絶対値が大きければ、前記駆動トランジスタの第1の端子または第2の端子の他方と前記被駆動素子の他端との間の電圧を絶対値でみて大きくなる方向に操作するようにしても良い。

【0009】

また、上記目的を達成するため、本発明に係る別の画像回路は、そのゲートが容量素子の一端に接続され、前記容量素子に蓄積された電荷に応じて、その第1

の端子および第 2 の端子の導通状態が設定される駆動トランジスタと、その一端が前記第 1 の端子に電氣的に接続された被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記検出素子によって検出された電圧を示す信号を入力する入力端と、前記第 1 の端子に電氣的に接続された出力端とを有し、前記入力端に入力された信号で示される電圧の絶対値に応じた電流を前記出力端に供給する補正回路とを具備することを特徴とする。この構成によっても、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

【0010】

この構成において、前記検出素子は、そのゲートが前記被駆動素子の一端に接続され、そのゲート電圧に応じて、その第 3 の端子および第 4 の端子の導通状態が設定される検出トランジスタとしても良い。

このような検出トランジスタを用いる場合、前記補正回路は、その第 5 の端子とゲートとが接続されるとともに、その第 6 の端子が電源電圧の給電線に接続される一方、前記第 5 の端子が前記第 3 の端子に接続された第 1 トランジスタと、そのゲートが、前記第 1 トランジスタのゲートおよび前記第 5 の端子に接続されるとともに、その第 7 の端子が前記第 1 の端子に電氣的に接続される一方、その第 8 の端子が前記給電線に接続された第 2 トランジスタとを有するようにしても良いし、そのゲートに基準電圧が印加されるとともに、その第 9 の端子が前記第 3 の端子に接続される一方、その第 10 の端子が電源電圧の給電線に接続された第 3 トランジスタと、そのゲートが前記第 9 の端子に接続されるとともに、その第 11 の端子が前記第 1 の端子に電氣的に接続される一方、その第 12 の端子が前記給電線に接続された第 4 トランジスタとを有するようにしても良い。

【0011】

上記画素回路において、その一端が前記第 1 の端子に接続され、その他端が前記被駆動素子の一端に接続されたスイッチを備え、前記検出素子は、前記スイッチの一端における電圧を検出するようにしても良い。また、上記画素回路において、前記駆動トランジスタのゲートおよび前記第 1 の端子の間を短絡させる補償

トランジスタを備え、前記容量素子は、前記補償トランジスタが前記駆動トランジスタのゲートおよび前記第1の端子を短絡させたときに、前記第1の端子の電圧に応じた電荷を蓄積するようにしても良い。

【0012】

上記目的を達成するため、本発明に係る第1の電気光学装置は、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数のデータ線との交差部に対応して配置された複数の上記の画素回路とを備えたことを特徴としている。

上記目的を達成するため、本発明に係る第2の電気光学装置は、複数の走査線と複数のデータ線との交差部にそれぞれ配置されるとともに、各々が被駆動素子を有する画素回路と、前記走査線を選択する走査線駆動回路と、前記走査線駆動回路によって走査線が選択されたとき、当該走査線に対応する画素回路の被駆動素子に流すべき電流、または、該電流に応じた電圧を、データ線を介して供給するデータ線駆動回路とを備え、前記画素回路は、対応する走査線が選択されたとき、対応するデータ線に流れる電流または電圧に応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じて導通状態が設定され、電流を、その第1の端子および第2の端子の間に流す駆動トランジスタと、その一端が前記第1の端子に電氣的に接続されて、少なくとも前記駆動トランジスタが流す電流によって駆動される被駆動素子と、前記被駆動素子の一端における電圧を検出する検出素子と、前記被駆動素子に流れる電流を、前記検出素子によって検出された電圧の絶対値に応じて補正する補正回路とを具備することを特徴とする。この構成によれば、駆動トランジスタによる電流は、補正回路によって補正されるので、被駆動素子が劣化等しても、被駆動素子に流す電流は、目標値たるデータ線に流れる電流、またはデータ線の電圧に対応する電流と、ほぼ一致する。

また、本発明に係る電子機器としては、この電気光学装置を有することが望ましい。

【0013】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。

【0014】

＜電気光学装置＞

図1は、実施形態に係る電気光学装置の構成を示すブロック図である。

この図に示されるように、電気光学装置100は、複数 m 本の走査線102と複数 n 本のデータ線104とが互いに直交して（電氣的には絶縁されている）延設されるとともに、その交差部に画素回路110を備える表示パネル120と、走査線102の各々を駆動する走査線駆動回路130と、データ線104の各々を駆動するデータ線駆動回路140と、コンピュータなどの外部機器から供給されるとともに、表示すべき画像の画素の階調を画素毎に規定するデジタルデータDmemを記憶するためのメモリ150と、各部を制御する制御回路160と、各部に電源を供給する電源回路170とを含む。

【0015】

一方、走査線駆動回路130は、走査線102を1本ずつ順番に選択するための走査信号 Y_1 、 Y_2 、 Y_3 、…、 Y_m を生成するものであり、詳細には、図2に示されるように、1垂直走査期間（1F）の最初のタイミングから、1水平走査期間（1H）に相当する幅のパルスを1行目の走査線102に走査信号 Y_1 として供給し、以降、このパルスを順次シフトして、2、3、…、 m 行目の走査線102の各々に走査信号 Y_2 、 Y_3 、…、 Y_m として供給する。ここで、一般的に i （ i は、 $1 \leq i \leq m$ を満たす整数）行目の走査線102に供給される走査信号 Y_i がHレベルになると、当該走査線102が選択されたことを意味する。

また、走査線駆動回路130は、走査信号 Y_1 、 Y_2 、 Y_3 、…、 Y_m にくわえて、その論理レベルを反転した信号を、それぞれ発光制御信号 V_{g1} 、 V_{g2} 、 V_{g3} 、…、 V_{gm} として生成して、表示パネル120に供給するが、発光制御信号を供給する信号線は、図1においては省略されている。

【0016】

制御回路160は、走査線駆動回路130による走査線102の選択を制御するとともに、走査線102の選択動作に同期させて、1列から n 列までのデータ線104に対応するデジタルデータ $D_{pix-1} \sim D_{pix-n}$ をメモリ150から読み出してデータ線駆動回路140に供給する。

データ線駆動回路140は、図3に示されるように、電流生成回路30をデー

タ線 104 毎に有する。ここで、一般的に j (j は、 $1 \leq j \leq n$ を満たす整数) 列目の電流生成回路 30 には、選択走査線 102 と j 列目のデータ線 104 との交差部に対応するデジタルデータ D_{pix-j} が供給される。そして、当該電流生成回路 30 は、供給されたデジタルデータ D_{pix-j} のデジタル値に応じた電流 I_{out} を生成するとともに、対応する j 列目のデータ線 104 に流す。例えば、3 列目のデータ線 104 に対応する電流生成回路 30 は、選択走査線 102 と 3 列目のデータ線 104 との交差部に対応するデジタルデータ D_{pix-3} のデジタル値に応じた電流 I_{out} を生成するとともに、3 列目のデータ線 104 に流す。

【0017】

なお、電気光学装置 100 における符号 120、130、140、150、160、170 の各要素は、それぞれが独立した部品により構成される場合や、一部または全部が一体となって構成される場合（例えば、走査線駆動回路 130 およびデータ線駆動回路 140 が一体となって集積化される場合や、表示パネル 120 を除く要素の一部または全部をプログラマブル IC チップで構成するとともに、これらの要素の機能を、当該 IC チップに書き込まれたプログラムによりソフトウェア的に実現する場合）など、実際には様々な形態で製品化され得る。

【0018】

<画素回路>

次に、電気光学装置 100 における画素回路 110 について説明する。図 4 は、その構成を示す回路図である。なお、本実施形態において、すべての画素回路 110 は、互いに同一構成であるが、ここでは、そのうちの 1 つで代表して説明するために、 i 行目の走査線 102 と j 列目のデータ線 104 との交差部分に設けられる画素回路 110 について説明することにする。

この図に示されるように、該走査線 102 と該データ線 104 との交差部分に設けられた画素回路 110 には、7 個の薄膜トランジスタ (Thin Film Transistor、以下「TFT」と省略する) 1102、1104、1106、1108、1112、1114、1116 と、容量素子 1120 と、有機 EL 素子 1130 とが備えられ、これらのうち、TFT 1114、1116 によって、後述する補正

回路 1110 が構成されている。

【0019】

まず、画素回路 110 において、p チャンネル型の TFT (駆動トランジスタ) 1102 のソースは、電源における高位側の電圧 V_{dd} が印加された電源線 109 に接続される一方、そのドレインは、Q 点、すなわち、n チャンネル型 TFT (スイッチングトランジスタ) 1104 のドレイン、n チャンネル型 TFT (点灯スイッチ) 1106 のドレイン、n チャンネル型 TFT 1108 (補償トランジスタ) のソース、n チャンネル型 TFT 1112 のゲート、および p チャンネル型 TFT 1116 のドレインにそれぞれ接続されている。

【0020】

容量素子 1120 の一端は、上記電源線 109 に接続される一方、その他端は、TFT 1102 のゲートおよび TFT 1108 のドレインにそれぞれ接続されている。ここで、容量素子 1120 は、後述するように走査線 102 の選択時における TFT 1102 のゲート電圧を保持するためのものである。このため、容量素子 1120 の一端は、定電位であれば良いので、電源線 109 への接続ではなくて、接地されていても構わない。

【0021】

TFT 1104 のゲートは走査線 102 に接続され、そのソースは、データ線 104 に接続されている。また、TFT 1108 のゲートは走査線 102 に接続されている。

一方、TFT 1106 のゲートは、発光制御線 108 に接続され、そのソースは、有機 EL 素子 1130 の陽極に接続されている。ここで、発光制御線 108 については、走査線駆動回路 130 による発光制御信号 V_{gi} が供給される。また、有機 EL 素子 1130 については、陽極と陰極の間に有機 EL 層が挟持されて、順方向電流に応じた輝度にて発光する構成となっている。なお、有機 EL 素子 1130 の陰極は、画素回路 110 のすべてにわたって共通の電極であり、電源における低位 (基準) 電圧 G_{nd} に接地されている。

【0022】

次に、TFT 1112 のソースは、低位電圧 G_{nd} に接地されている。一方、

補正回路 1110 を構成する p チャンネル型 TFT 1114 のソースは、電源線 109 に接続され、そのドレイン・ゲートは、共通接続されるとともに、TFT 1112 のドレインに接続されている。一方、TFT 1116 のソースは、電源線 109 に接続され、そのゲートは、TFT 1114 のドレイン・ゲートの共通接続点に接続されている。

ここで、TFT 1114 は、そのドレイン・ゲートが共通接続されているのでダイオードとして機能するとともに、TFT 1116 のゲートは、TFT 1114 のドレイン・ゲートの共通接続点に接続されているので、TFT 1114、1116 のトランジスタ特性（電流増幅率）が互いに同一であるとする、TFT 1114、1116 は、TFT 1114（1112）のソース・ドレイン間に流れる電流 I_3 と同一のミラー電流 I_4 を、TFT 1116 のソース・ドレイン間に流すカレントミラー回路として機能する。

【0023】

次に、画素回路 110 の動作について、補正回路 1110 が存在しない構成を仮定して説明する。

まず、i 行目の走査線 102 が選択されて、走査信号 Y_i が H レベルになると、n チャンネル型 TFT 1108 が、ソースおよびドレインの間において導通（オン）状態となるので、TFT 1102 は、ゲートとドレインとが互いに接続されてダイオードとして機能する。走査線 102 に供給される走査信号 Y_i が H レベルになると、n チャンネル型 TFT 1104 も、TFT 1108 と同様に導通状態となるので、結局、電流生成回路 30 による電流 I_{out} が、電源線 109 → TFT 1102 → TFT 1104 → データ線 104 という経路で流れるとともに、そのときに、TFT 1102 のゲート電圧に応じた電荷が容量素子 1120 に蓄積される。

【0024】

次に、i 行目の走査線 102 の選択が終了して非選択となり、走査信号 Y_i が L レベルになると、TFT 1104、1108 はともに非導通（オフ）状態となるが、容量素子 1120 における電荷の蓄積状態は変化しないので、TFT 1102 のゲートは、電流 I_{out} が流れたときの電圧に保持されることになる。

また、走査信号 Y_i が L レベルになると、発光制御信号 V_{gi} が H レベルとなる。このため、n チャンネル型の TFT 1106 がオンするので、TFT 1102 のソースおよびドレインの間には、そのゲート電圧に応じた電流が流れる。詳細には、この電流は、電源線 109 → TFT 1102 → TFT 1106 → 有機 EL 素子 1130 という経路で流れる。このため、有機 EL 素子 1130 は、該電流値に応じた輝度で発光することになる。

【0025】

ここで、有機 EL 素子 1130 に流れる電流は、第 1 に、TFT 1102 のゲート電圧で定まるが、そのゲート電圧は、H レベルの走査信号によって電流 I_{out} がデータ線 104 に流れたときに、容量素子 1120 によって保持された電圧である。このため、発光制御信号 V_{gi} が H レベルになったときに、有機 EL 素子 1130 に流れる電流は、理想的には、直前に流れた電流 I_{out} にほぼ一致するはずである。

【0026】

しかしながら、補正回路 1110 が存在しない構成では、次の理由により、発光制御信号 V_{gi} が H レベルになったときに有機 EL 素子 1130 に流れる電流が、電流生成回路 30 による電流 I_{out} に一致しない。

すなわち、電流生成回路 30 による電流 I_{out} は、有機 EL 素子 1130 が劣化等していない場合の目標値であり、実際には、製造時からの期間経過による劣化していれば、有機 EL 素子 1130 に一定電流を流すために必要な電圧が上昇している。ここで、有機 EL 素子 1130 の端子間電圧が劣化により上昇していると、その分、TFT 1102 のソース・ドレイン間の電圧が低くなる。TFT のソース・ドレイン電流は、飽和領域であっても、そのソース・ドレイン間の電圧に依存する性質が強い。

このため、発光制御信号 V_{gi} が H レベルとなって TFT 1106 がオンしたときにおける TFT 1102 のソース・ドレイン間の電圧は、走査信号 Y_i が H レベルになって TFT 1104 がオンしたときの値と比較して、低くなってしまいうので、有機 EL 素子 1130 に流れる電流も、目標値たる電流 I_{out} に対して不足するのである。

したがって、補正回路 1110 が存在しない構成では、発光制御信号 V_{gi} が H レベルになったときに有機 EL 素子 1130 に流れる電流は、電流生成回路 30 による電流 I_{out} よりも小さくなって、目標値たる電流 I_{out} に一致しないのである。

【0027】

そこで、補正回路 1110 が存在する本実施形態について説明すると、TFT 1112 のゲートは、TFT 1102 のドレインに接続されているので、有機 EL 素子 1130 の劣化により TFT 1102 のソース・ドレイン間の電圧が低くなると、TFT 1112 のソース・ドレイン間に流れる電流 I_3 は、大きくなる。

上述したように、TFT 1114、1116 はカレントミラー回路であるので、TFT 1116 のソース・ドレイン間に流れる電流 I_4 は、上記電流 I_3 に一致する。そして、この電流 I_4 が、Q 点において、TFT 1102 による電流 I_2 に加算されて、有機 EL 素子 1130 に流れることとなる。

したがって、本実施形態によれば、発光制御信号 V_{gi} が H レベルになったとき、有機 EL 素子 1130 の劣化によって、TFT 1102 のソース・ドレイン間に流れる電流 I_2 が電流生成回路 30 による電流 I_{out} よりも小さくなくても、その不足分が電流 I_4 によって補われるので、有機 EL 素子 1130 に流れる電流 I_1 を、目標値たる電流 I_{out} にほぼ一致させることができるのである。環境温度の変化があっても、同様に、有機 EL 素子 1130 に流れる電流を、電流 I_{out} にほぼ一致させることができる。

よって、仮に画素回路 110 のすべてにわたって TFT 1102 の特性にバラツキが生じて、各画素回路 110 に含まれる有機 EL 素子 1130 に対し同じ大きさの電流を供給することができるので、該バラツキに起因する表示ムラを抑えることも可能となる。

【0028】

なおここでは、1 個の画素回路 110 についてのみにについて説明しているが、 i 行目の走査線 102 は、 m 個の画素回路 110 に共用されているので、走査信号 Y_i が H レベルになると、共用される m 個の画素回路 110 においても同様な

動作が実行されることになる。

さらに、走査信号 Y_1 、 Y_2 、 Y_3 、…、 Y_m は、図2に示されるように、順番に排他的にHレベルとなる。この結果、すべての画素回路110において、同様な動作が実行されて、1フレームの画像が表示される。そして、この表示動作は、1垂直走査期間毎に繰り返される。

【0029】

また、図4に示される画素回路110においては、TFT1114、1116のトランジスタ特性が同一であるとしたが、両者の電流増幅率(β)を異ならせても良い。ここで、TFT1114、1116の電流増幅率を、それぞれ β_1 、 β_2 としたとき、電流 I_4 は、電流 I_3 の β_2/β_1 倍になる。

【0030】

＜画素回路の別例：その1＞

本発明において、画素回路110については、図4に示される構成に限られず、種々の構成が考えられる。例えば、TFT1102のドレイン電圧を検出するTFT1122と、検出されたドレイン電圧に対応する電流 I_4 を生成して、TFT1122による電流 I_2 に加算する補正回路1110とについては、図4に示されるような構成に限られず、反転増幅器を用いても良い。

図5は、このような反転回路を有する画素回路112の構成を示す図である。この図において、反転増幅器1120は、nチャネル型のTFT1122、pチャネル型TFT1124、1126を有し、このうち、TFT1122のゲートは、Q点に接続され、そのソースは接地されている。また、TFT1124のゲートには、基準電圧 V_{ref} が供給され、そのソースは電源線109に接続され、そのドレインは、TFT1122のドレイン、およびTFT1126のゲートにそれぞれ接続されている。そして、TFT1126のソースは、電源線109に接続される一方、そのドレインは、Q点に接続されている。すなわち、反転増幅器1120では、TFT1122のゲートが入力であり、TFT1126のドレインが出力となる。

【0031】

この反転増幅器1120において、有機EL素子1130の劣化によって、T

FT1102のドレイン電圧が高くなると（FT1102のソース・ドレイン間の電圧が絶対値でみて小さくなると）、FT1122のオン抵抗が小さくなるので、FT1122、1124による分圧点の電圧、すなわちFT1126のゲート電圧が低くなる結果、FT1126のソース・ドレイン間に流れる電流 I_4 が大きくなる。したがって、図5に示す画素回路112は、カレントミラー回路を有する画素回路110と同様に、有機EL素子1130に流れる電流 I_1 を、目標値たる電流 I_{out} にほぼ一致させることができる。

この構成では、図4に示したカレントミラー回路と比較すると、不足分に対する電流 I_4 の割合を、FT1124のゲート電圧 V_{ref} を設定することによって、事後的に調整することもできる。

【0032】

なお、図4または図5における発光制御信号 V_{g1} 、 V_{g2} 、 V_{g3} 、…、 V_{gm} については、走査信号 Y_1 、 Y_2 、 Y_3 、…、 Y_m の論理レベルを反転したものとして説明したが、発光制御信号 V_{g1} 、 V_{g2} 、 V_{g3} 、…、 V_{gm} のアクティブレベル（Hレベル）となる期間を一括して狭める方向に制御する構成としても良い。また、走査線駆動回路130（図1参照）以外の別個の回路により供給する構成としても良い。

また、図4に示される画素回路110、または図5に示される画素回路112では、走査線102が選択されたときに、デジタルデータのデジタル値に応じた電流、すなわち輝度に応じた電流 I_{out} がデータ線104に供給されるとして説明したが、当該輝度に応じた電圧がデータ線104に印加される構成でも良い。このような構成であっても、FT1102のゲート電圧が容量素子1120に保持されるので、当該輝度に応じた電流 I_{out} が供給される構成と同等な効果が得られる。

【0033】

<画素回路の別例>

図4や図5に示した構成では、走査線102の選択時において、データ線104に、有機EL素子1130の輝度に応じた電流を流す構成としたが、有機EL素子1130の輝度に応じた電圧を印加する構成としても良い。

また、図4や図5に示した構成では、有機EL素子1130を駆動するTFT1102のドレイン電圧が高くなった場合に、当該ドレイン電圧に対応する電流 I_4 を生成するとともに、TFT1122による電流 I_2 に加算する構成としたが、TFT1102のドレイン電圧に応じて、そのソース電圧を高くする構成としても良い。

【0034】

図6は、データ線104に、有機EL素子1130の輝度に応じた電圧を印加する場合であって、有機EL素子1130を駆動するTFT1102のドレイン電圧に応じて、そのソース電圧を高くするようにした画素回路114の構成を示す図である。

この図において、抵抗1127、pチャネル型のTFT1128および抵抗1129は、電源線109および接地線間に直列に接続されている。有機EL素子1130を駆動するTFT1102のソースは、抵抗1127とTFT1128のソースとの接続点、すなわち、電源線109および接地線間の分圧点に接続されている。一方、TFT1128のゲートは、TFT1102のドレインに接続されている。

【0035】

なお、データ線104には、有機EL素子1130の輝度に応じた電圧が印加されるので、データ線駆動回路140（図3参照）においては、電流生成回路30ではなく、デジタルデータDpix-1～Dpix-nに応じた電圧を生成する電圧生成回路がデータ線104毎に設けられることになる（図示省略）。また、図6に示されるように容量素子1120の一端が接地されていても良いのは、上述した通りである。

【0036】

この画素回路114では、画素回路110、112（図4、図5参照）において、走査線102の非選択時に有機EL素子1130を点灯させるためのTFT1106を廃した構成となっているので、TFT1102のドレインが有機EL素子1130に直接接続されている。このため、TFT1102のドレイン電圧イコール有機EL素子1130の印加電圧となっている。

【0037】

この構成において、走査線102が選択されると、TFT1104がオンするので、TFT1102のゲートには、データ線104の電圧が印加される。このため、データ線104の印加電圧に応じた電流が、電源線109→抵抗1127→TFT1102→有機EL素子1130という経路で流れるとともに、TFT1102のゲート電圧に応じた電荷が容量素子1120に蓄積される。

この後、走査線102が非選択とされても、TFT1102のゲートは、容量素子1120によって、走査線102が選択されたときの電圧に保持されているので、データ線104の印加電圧に応じた電流が、同一経路で流れ続けることになる。

【0038】

ここで、有機EL素子1130の劣化によって、TFT1102のドレイン電圧が高くなってしまっても、TFT1128のソース・ドレイン間の抵抗もそれだけが大きくなるので、分圧点の電圧 V_{dd-b} が高くなる。このため、有機EL素子1130の劣化が進行しても、有機EL素子1130に流れる電流をほぼ一定に保つことができる。環境温度の変化であっても、同様に、有機EL素子1130に流れる電流をほぼ一定に保つことができる。

【0039】

なお、この構成において、電源線109から接地線へ貫通電流が流れることによる電力損失を抑えるため、抵抗1129の抵抗値は大きく設定することが望ましく、また、電圧降下分を低く抑えるため、抵抗1127の抵抗値は小さく設定することが望ましい。TFT1128のソース・ドレイン間の抵抗が大きいのであれば、抵抗1129を省略することもできる。

また、このようにTFT1102のソース電圧を、TFT1102のドレイン電圧（有機EL素子1130への印加電圧）に応じて高くする構成については、特に図示はしないが、画素回路110において、TFT1112、1114、1116に替えて適用しても良いのはもちろんである。

さらに、図6に示される画素回路114では、走査線102が選択されたときに、輝度に応じた電圧がデータ線104に印加されるとして説明したが、当該輝

度に応じた電流がデータ線 104 に供給される構成でも良い。

【0040】

ところで、有機EL素子 1130 の劣化は、1 個だけ突出して進行する訳ではなく、表示パネル 120 全体にわたって均一に進行すると考えられる（後述するようにカラー表示をする場合を除く）。このため、すべての画素回路にわたって、個々に TFT 1102 のドレイン電圧（有機EL素子 1130 への印加電圧）を検出して、TFT 1102 のソース電圧を高くする必要はなく、何個かに 1 個の割合で検出用の画素回路を設けるとともに、この画素回路において検出された TFT 1102 のドレイン電圧に応じて、他の画素回路における TFT 1102 のソース電圧を高くする構成としても良い。

【0041】

図7は、このような画素回路を適用した電気光学装置の構成を示すブロック図であり、図8は、その検出用の画素回路と、表示用の画素回路との関係を示す図である。

図7に示される電気光学装置 100 においては、TFT 1102 のソース電圧を検出するための画素回路 114 が 0 行目に設けられている一方、表示用の画素回路 116 が 1 行目から m 行目まで設けられている。検出用として用いる 0 行目の画素回路 114 にあっては、その有機EL素子 1130 による発光が視認されないように、例えば遮光層（図示省略）の領域内に形成されるのが好ましい。

なお、図7において、走査線駆動回路 130 は、0 行目から m 行目まで順番に 1 本ずつ走査線 102 を選択するものとし、データ線駆動回路 140 は、デジタルデータ Dpix-1 に応じた電圧を 1 列目のデータ線 104 に印加し、デジタルデータ Dpix-2 に応じた電圧を 2 列目のデータ線 104 に印加し、以下同様に、デジタルデータ Dpix-n に応じた電圧を、n 列目のデータ線 104 に供給するものとする。

一方、各列においては、図8に示されるように、0 行 j 列の画素回路 114 によって調整された電圧 V_{dd-b} が、1 行 j 列から m 行 j 列までの画素回路 116 における TFT 1102 のソース電圧としてそれぞれ用いられる構成となっている。

【0042】

このような構成では、0行j列の検出用の画素回路114において、有機EL素子1130の劣化によって、そのTFT1102のドレイン電圧が高くなると、TFT1128のソース・ドレイン間の抵抗もそれだけが大きくなるので、分圧点の電圧 V_{d-d-b} が高くなるように調整される。そして、この調整電圧が、1行j列からm行j列までの表示用画素回路116のTFT1102のソースに印加される。このため、1行j列からm行j列までの表示用画素回路116では、TFT1102のドレイン電圧（有機EL素子1130の印加電圧）を検出する構成が存在しないにもかかわらず、有機EL素子1130の劣化が進行したり、環境温度が変化したりしても、有機EL素子1130に流れる電流をほぼ一定に保つことができる。

【0043】

なお、環境温度の変化に対してより敏感に反応するために、抵抗1127、1129の少なくとも一方を、温度にしたがって抵抗値が変化する温度検出素子に置き換えても良いし、このような温度検出素子を、抵抗1127、1129に対して直列または並列に接続しても良い。

また、図7、図8に示す構成にあっては、検出用の画素回路114は、表示用として用いないとしたが、表示用として用いても良い。また、検出用の画素回路114を、各列で1個ではなく、各行で1個としても良いし、複数列または複数行で1個としても良いし、全体で1個としても良い。

一方、R（赤）、G（緑）、B（青）色を発光する有機EL素子を用いてカラー表示をする場合、色毎に有機EL素子の劣化の進行が異なるので、色毎に、検出して、その色のTFT1102のソース電圧を調整する構成としても良い。

【0044】

<その他>

なお、各TFTのチャネル型は、必ずしも上述した通りである必要はなく、実際にはpまたはnチャネル型を適宜選択することが可能である。なお、チャネル型の選択によっては、正電源ではなく負電源を用いる必要がある場合もある。このように負電源を用いる場合には、接地線から見た電圧は負となるので、電圧に

については絶対値でみる必要がある。

また、上述した実施形態では、被駆動素子として有機 E L 素子 1 1 3 0 を例に挙げたが、無機 E L 素子でも良いし L E D や F E D (Field Emission Display) でも良い。

【 0 0 4 5 】

< 電子機器 >

次に、電気光学装置 1 0 0 を適用した電子機器のいくつかの事例について説明する。

図 9 は、この電気光学装置 1 0 0 を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。この図において、パーソナルコンピュータ 2 1 0 0 は、キーボード 2 1 0 2 を備えた本体 2 1 0 4 と、表示ユニットとしての電気光学装置 1 0 0 とを備えている。

【 0 0 4 6 】

また、図 1 0 は、前述の電気光学装置 1 0 0 を適用した携帯電話機の構成を示す斜視図である。この図において、携帯電話機 2 2 0 0 は、複数の操作ボタン 2 2 0 2 のほか、受話口 2 2 0 4 、送話口 2 2 0 6 とともに、前述の電気光学装置 1 0 0 を備えている。

【 0 0 4 7 】

図 1 1 は、前述の電気光学装置 1 0 0 をファインダに適用したデジタルスチルカメラの構成を示す斜視図である。銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ 2 3 0 0 は、被写体の光像を C C D (Charge Coupled Device) などの撮像素子により光電変換して撮像信号を生成・記憶するものである。ここで、デジタルスチルカメラ 2 3 0 0 における本体 2 3 0 2 の背面には、上述した電気光学装置 1 0 0 が設けられている。この電気光学装置 1 0 0 は、撮像信号に基づいて表示を行うので、被写体を表示するファインダとして機能することになる。また、本体 2 3 0 2 の前面側 (図 2 1 においては裏面側) には、光学レンズや C C D などを含んだ受光ユニット 2 3 0 4 が設けられている。

【 0 0 4 8 】

撮影者が電気光学装置 100 に表示された被写体像を確認して、シャッターボタン 2306 を押下すると、その時点における CCD の撮像信号が、回路基板 2308 のメモリに転送・記憶される。

また、このデジタルスチルカメラ 2300 にあって、ケース 2302 の側面には、外部表示を行うためのビデオ信号出力端子 2312 と、データ通信用の入出力端子 2314 とが設けられている。

【0049】

なお、電気光学装置 100 が適用される電子機器としては、図 9 に示されるパーソナルコンピュータや、図 10 に示される携帯電話機、図 11 に示されるデジタルスチルカメラの他にも、デジタルテレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置 100 が適用可能であることは言うまでもない。

【0050】

以上説明したように本発明によれば、有機 EL 素子のような電流型の被駆動素子に一定電流を流すために必要な電圧が劣化や環境温度などにより変化しても、駆動トランジスタによる電流が補正回路によって補正されるので、被駆動素子に流す電流が目標値にほぼ一致する結果、表示画像の品質低下を防止することが可能となる。

【図面の簡単な説明】

- 【図 1】 本発明の実施形態に係る電気光学装置の構成図である。
- 【図 2】 同電気光学装置の走査線駆動回路の動作説明図である。
- 【図 3】 同電気光学装置のデータ線駆動回路を示す図である。
- 【図 4】 同電気光学装置の画素回路を示す図である。
- 【図 5】 同画素回路の別例を示す図である。
- 【図 6】 同画素回路の別例を示す図である。
- 【図 7】 同画素回路の別例を適用した電気光学装置の構成図である。

【図 8】 同電気光学装置の画素回路を示す図である。

【図 9】 同電気光学装置を用いたパソコンを示す図である。

【図 10】 同電気光学装置を用いた携帯電話機を示す図である。

【図 11】 同電気光学装置を用いたデジタルスチルカメラを示す図である。

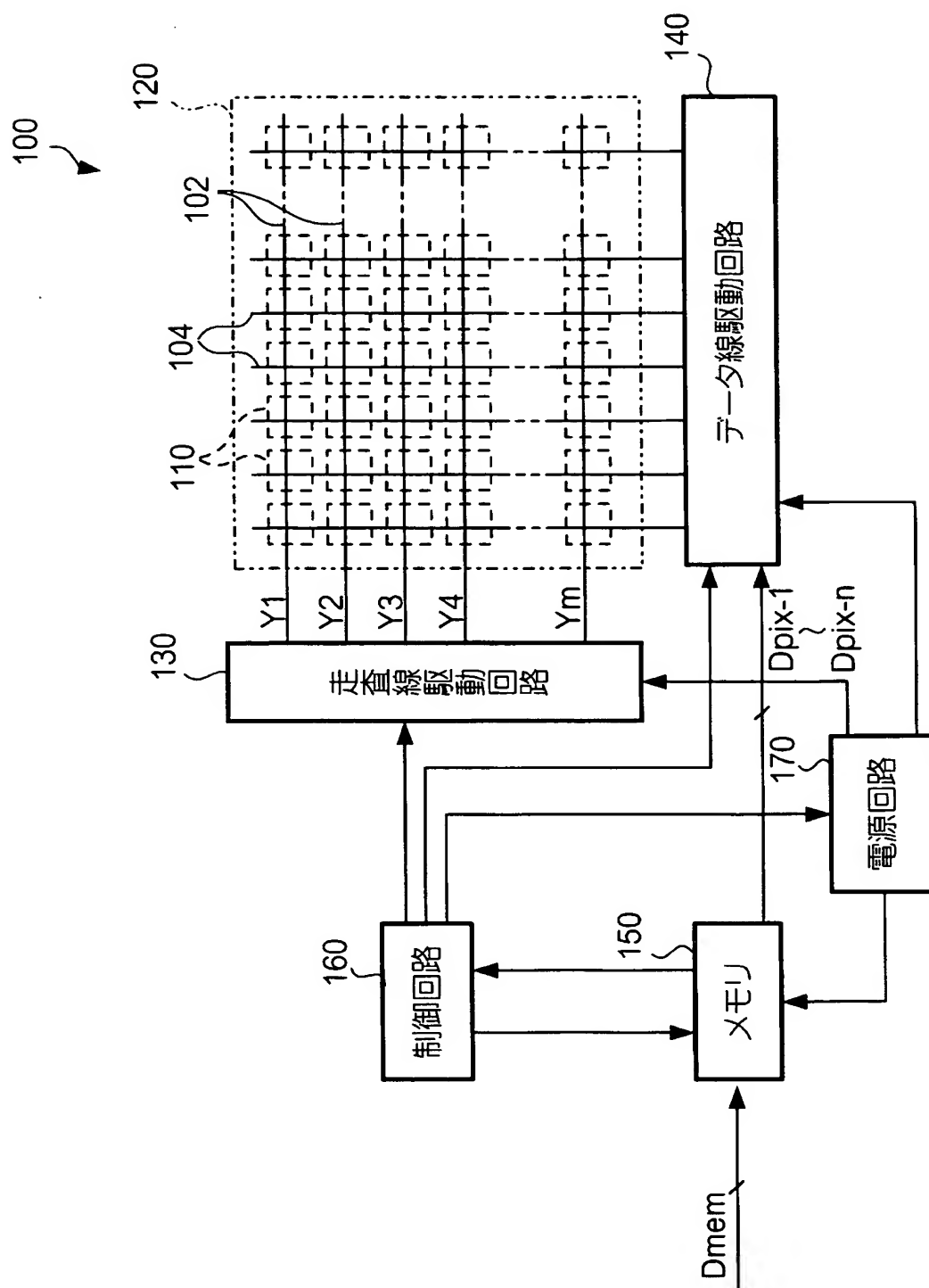
【符号の説明】

100…電気光学装置、102…走査線、104…データ線、109…電源線（給電線）、110…画素回路、130…走査線駆動回路、140…データ線駆動回路、1102…TFT（駆動トランジスタ）、1104…TFT（スイッチングトランジスタ）、1106…TFT（点灯スイッチ）、1108…TFT（補償トランジスタ）、1110…補正回路、1112…TFT（検出素子）、1114…TFT（第1トランジスタ）、1116…TFT（第2トランジスタ）、1120…容量素子、1124…TFT（第3トランジスタ）、1126…TFT（第4トランジスタ）、1130…有機EL素子（被駆動素子）

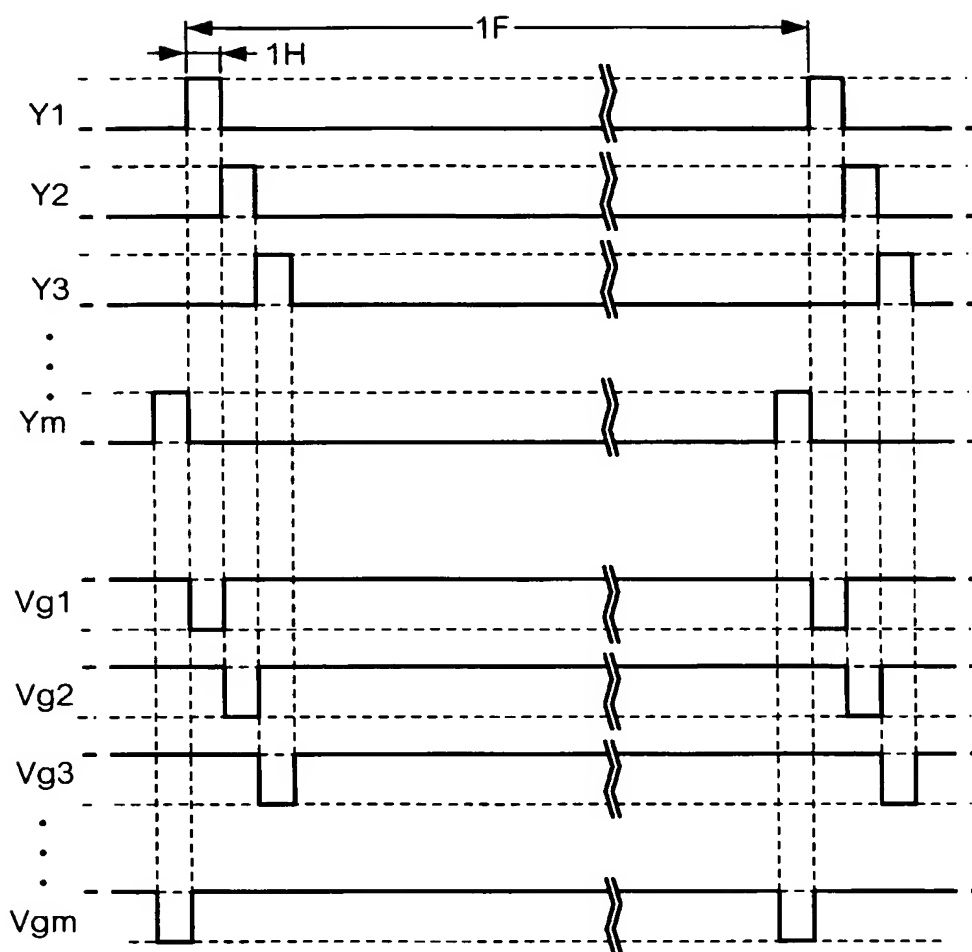
【書類名】

図面

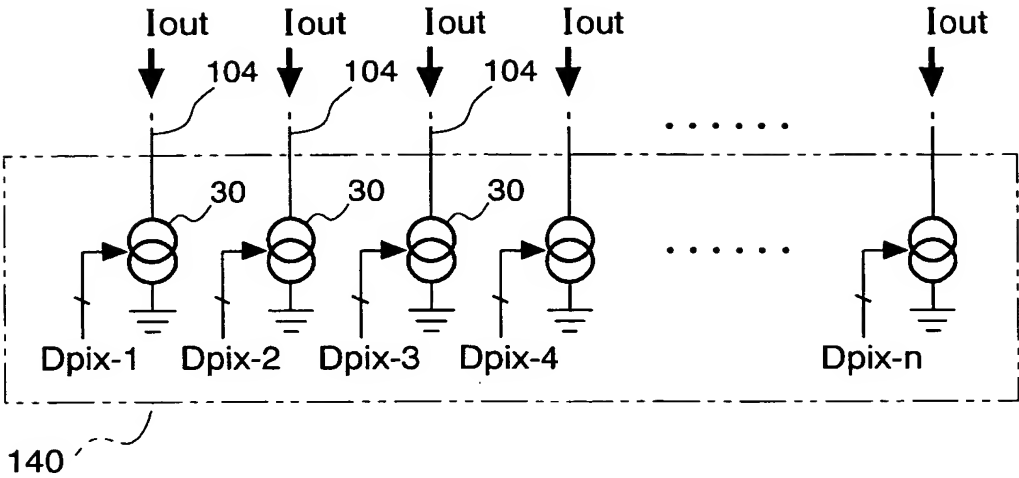
【図 1】



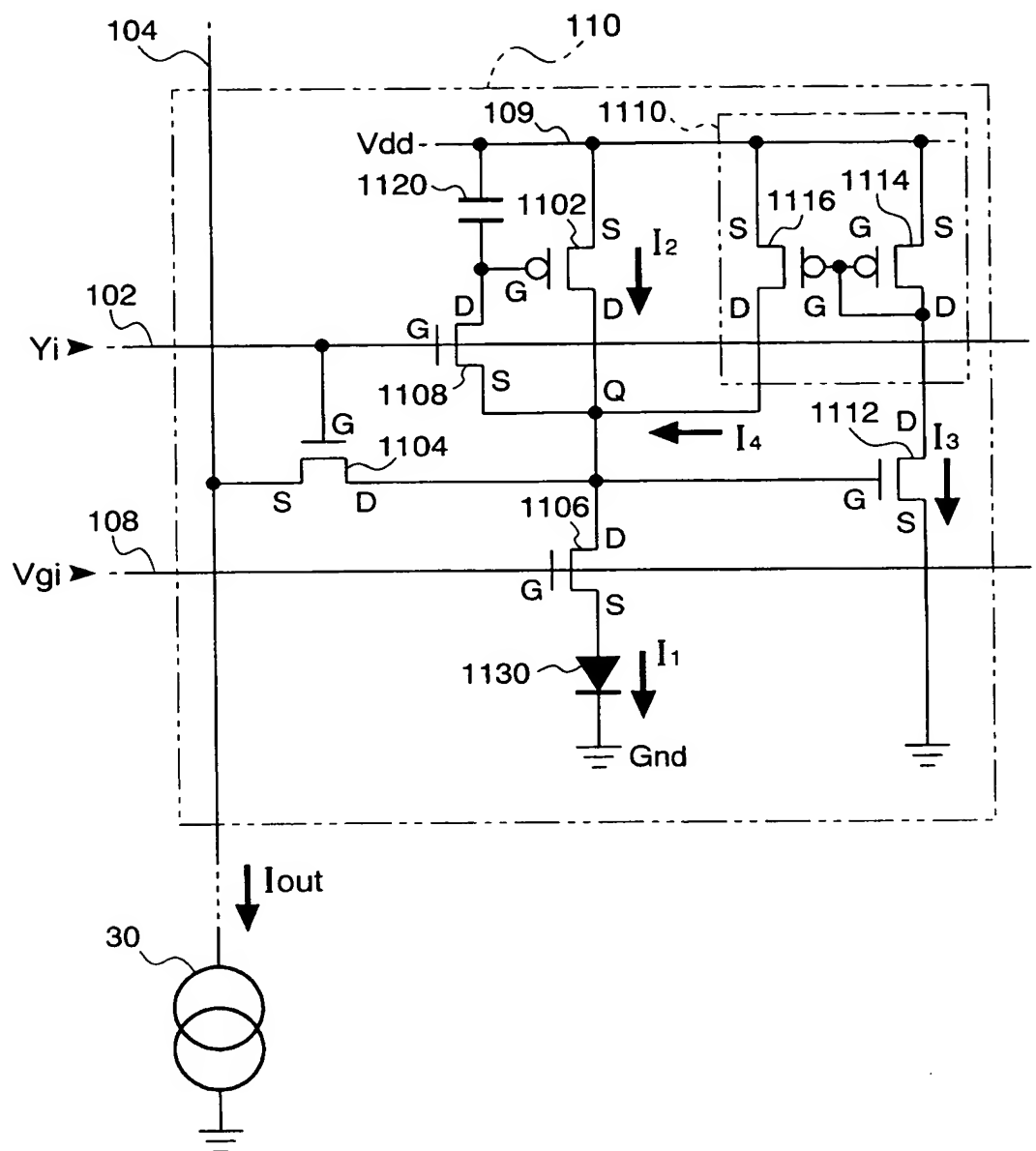
【図 2】



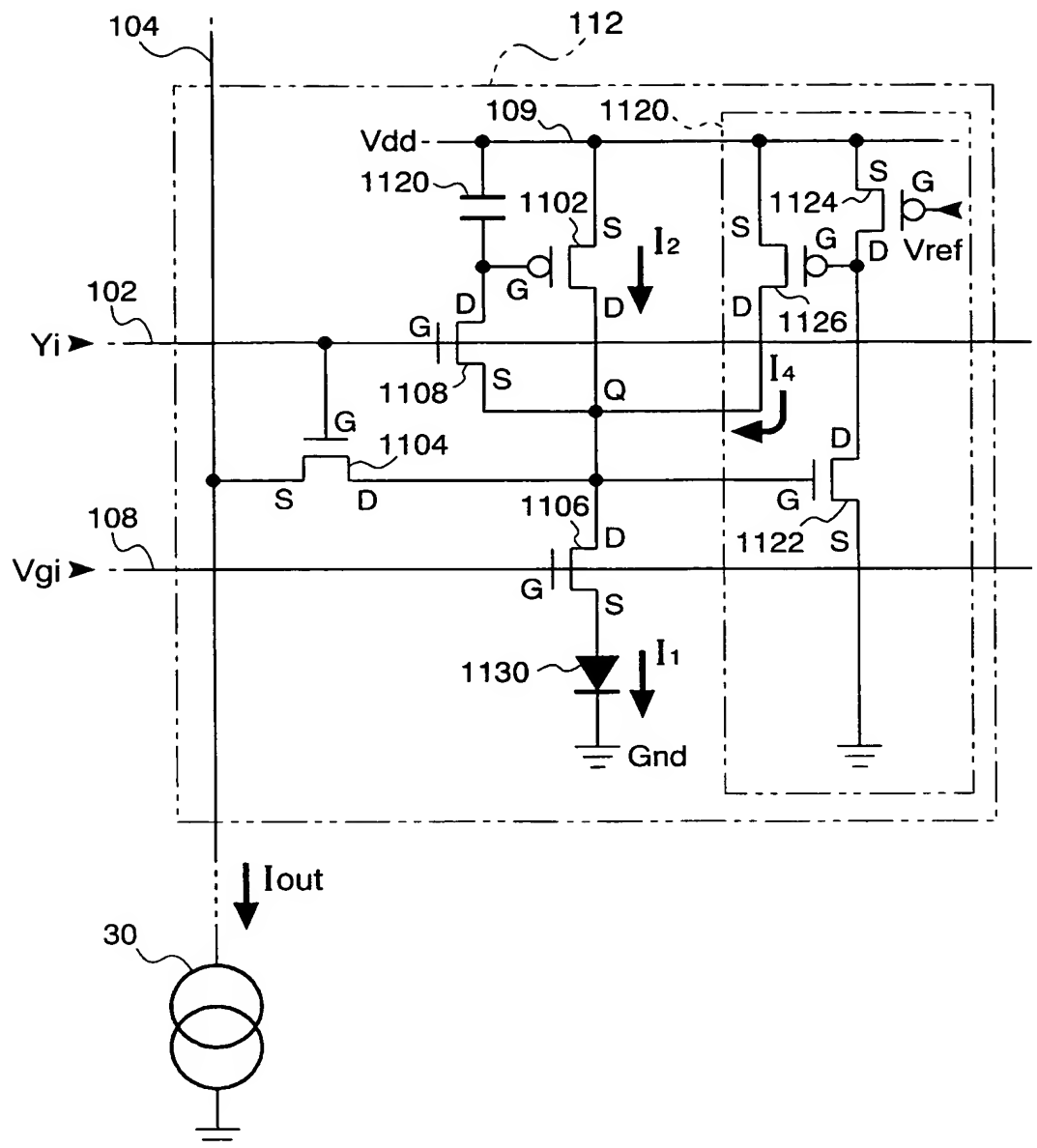
【図 3】



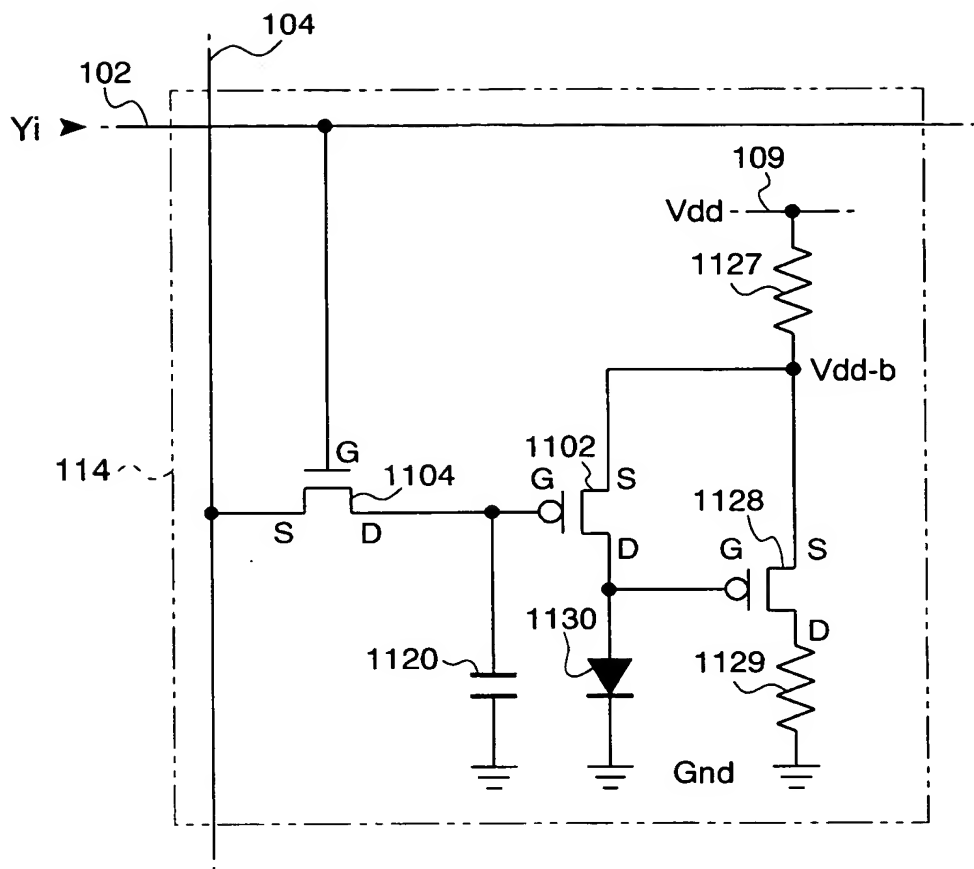
【図 4】



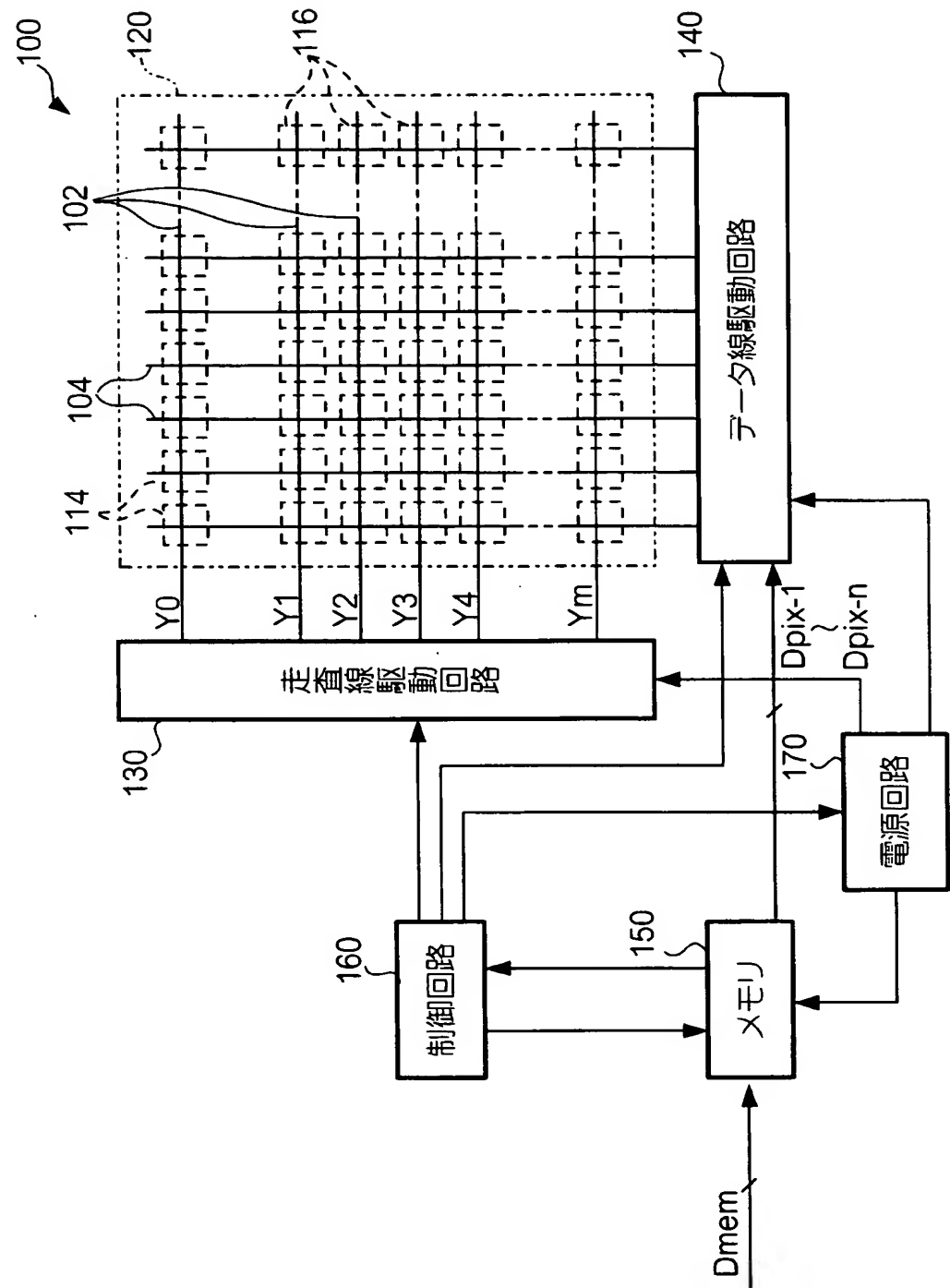
【図 5】



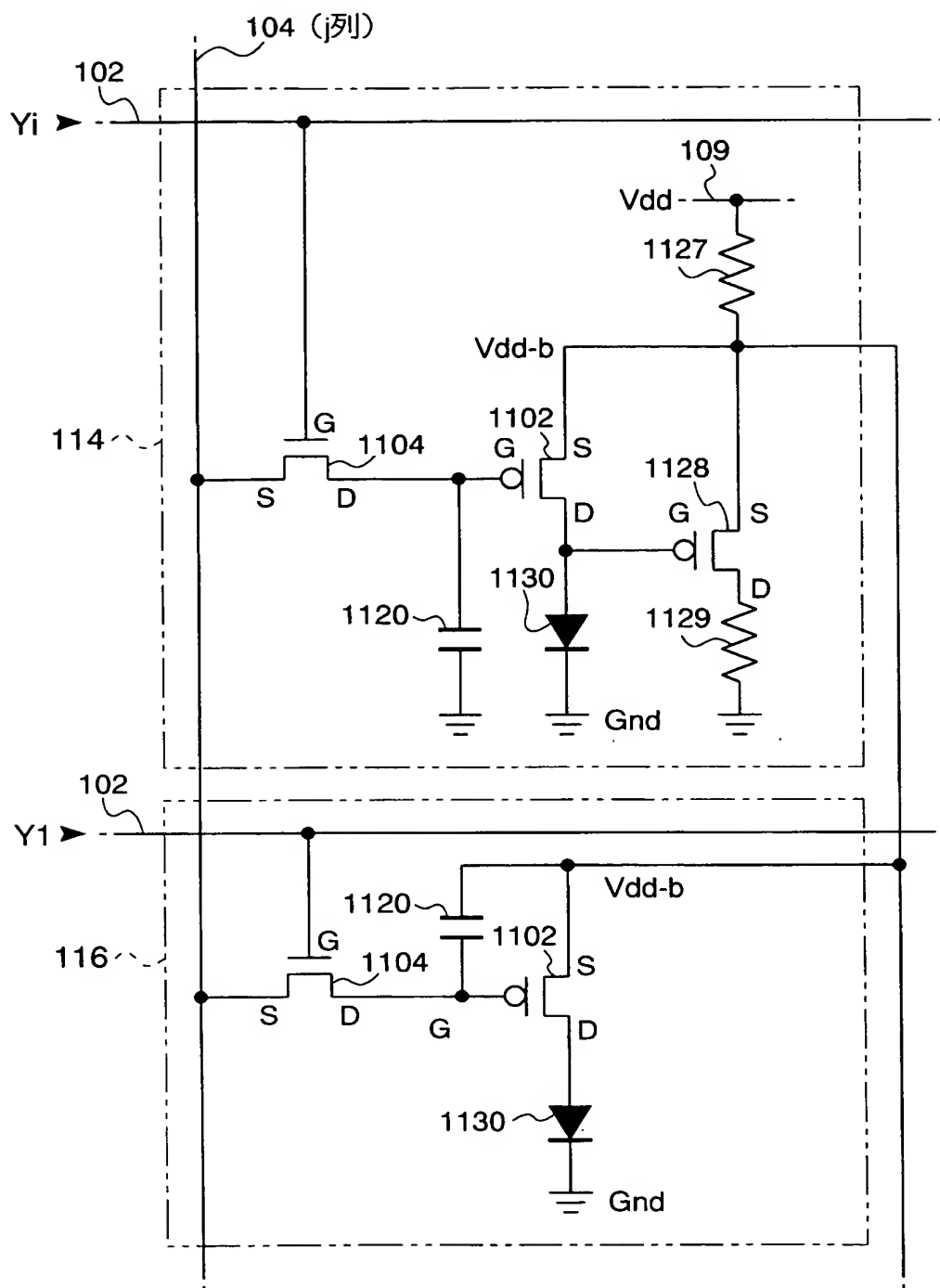
【図 6】



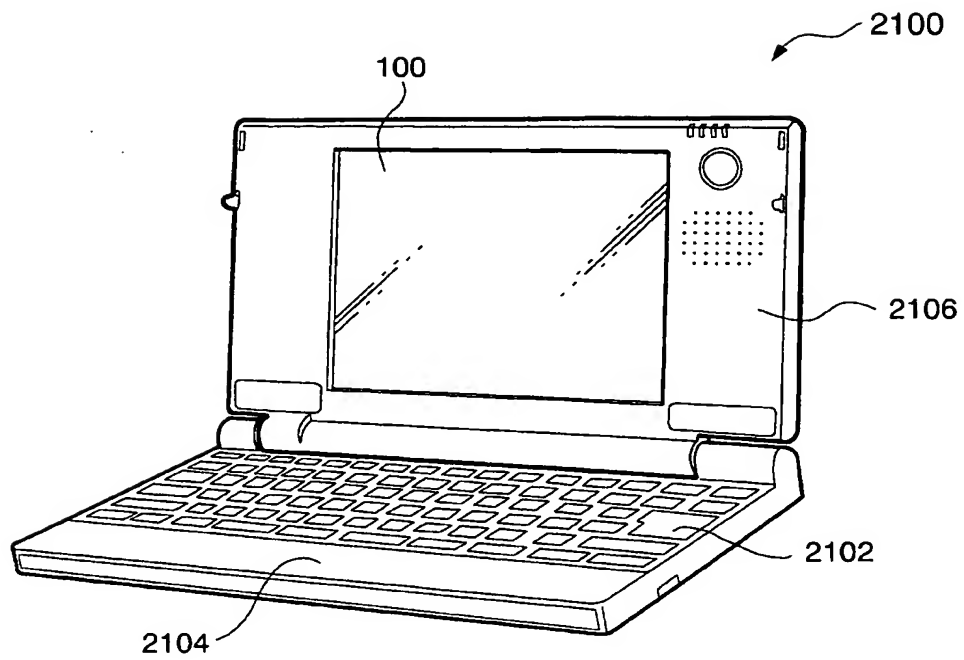
【図 7】



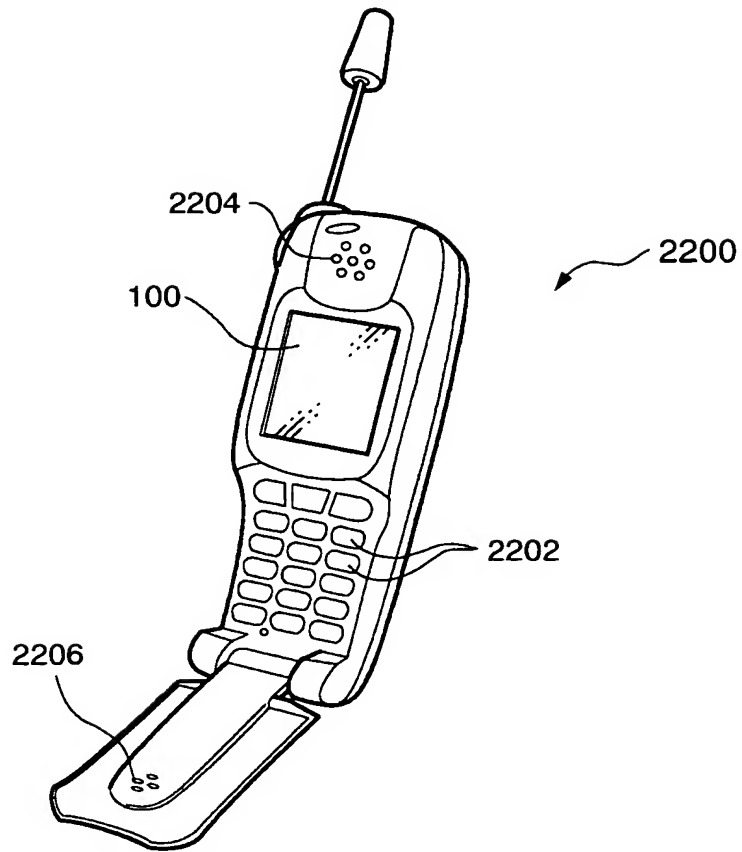
【図 8】



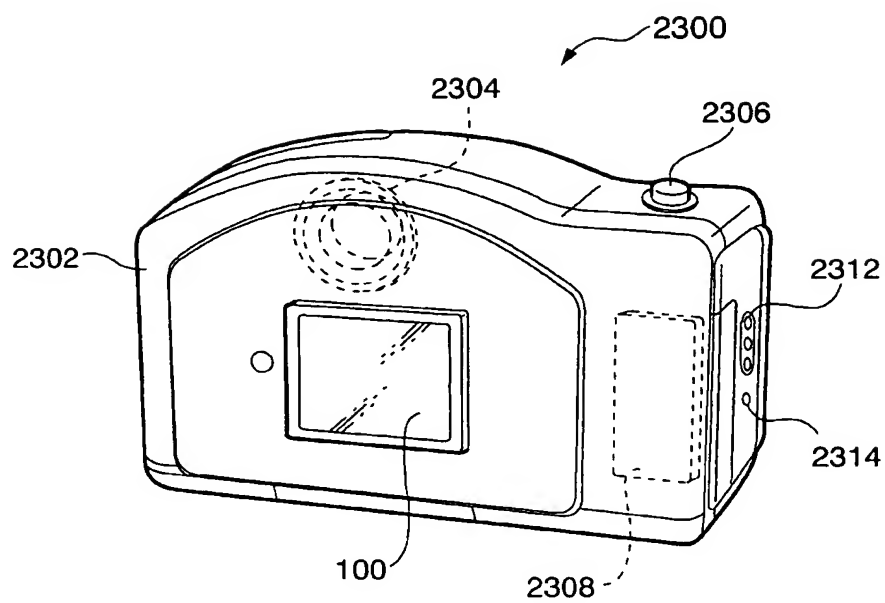
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 有機EL素子1130が劣化しても、流れる電流量を一定となるようにして表示画像の品質低下を防止する。

【解決手段】 画素回路110に、走査線102が選択されたとき、データ線104に流れる電流に応じた電荷を蓄積する容量素子1120と、選択後、蓄積された電荷に応じた電流 I_2 を、そのソース・ドレイン間に流すTFT1102と、陽極がTFT1102のドレイン側に接続された有機EL素子1130と、有機EL素子1130への印加電圧を検出して、印加電圧に応じた電流 I_3 をソース・ドレイン間に流すTFT1112と、電流 I_3 のミラー電流 I_4 を生成して、電流 I_2 に加算する補正回路1110とを設ける。

【選択図】 図4

特願 2 0 0 3 - 0 9 5 9 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社